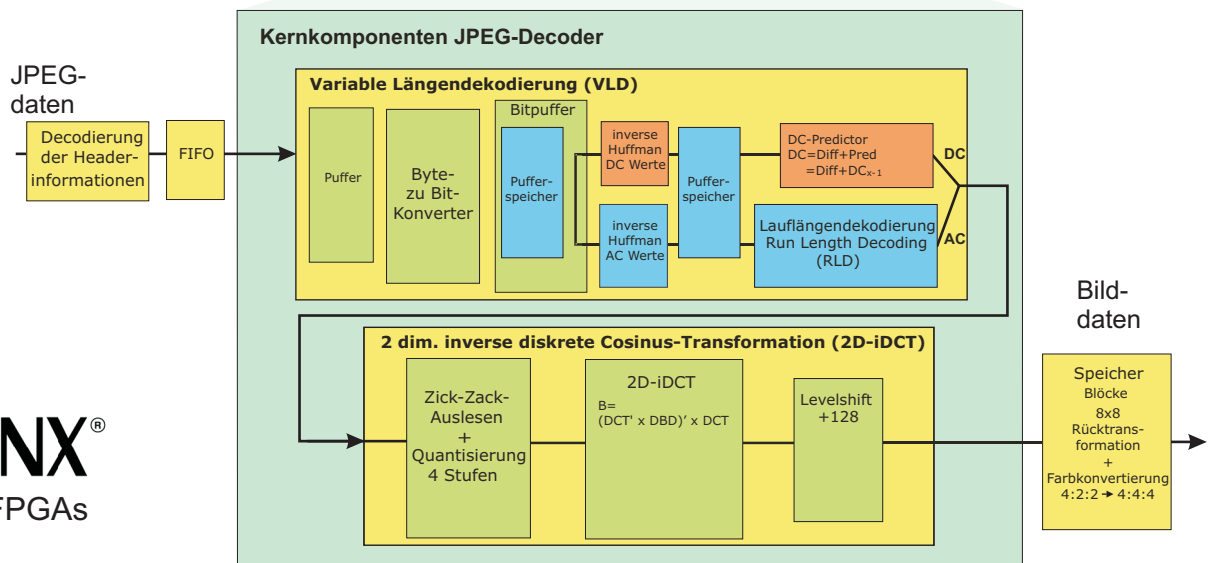
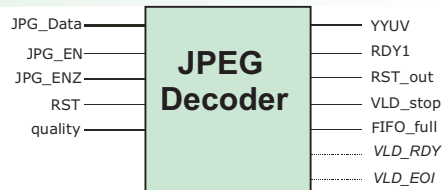


# JPEG-Codec-IP-Core (Decoder) für FPGAs

## Anwendungen

- Digitale Foto- oder Videodecodierung
- Überwachungssysteme
- Videokonferenzsysteme
- low-latency Automotive- oder Echtzeitsysteme



ideal für



- JPEG-Kompression/Dekompression entsprechend „baseline process“ nach CCITT T.81 (ISO/IEC 10918-1).
- Der JPEG-Codec besteht aus einem separaten Encoder- und Decoderteil, die einzeln oder parallel betrieben werden können. Hohe Leistungsfähigkeit und Robustheit im praktischen Einsatz.
- Geringste Verzögerungszeiten zwischen komprimierten Daten am Eingang und Datenausgang (6...15 µs).
- Dieser high-performance Codec ist für Einzelbilder hoher Qualität und/oder Motion-JPEG (MJPEG) geeignet.
- Geringer Platzverbrauch bei hoher Geschwindigkeit in XILINX FPGAs (Spartan-6 < 1060 Slices).
- Qualität und Komprimierung mit 4 oder mehr vorgegebenen oder benutzerdefinierten Quantisierungstabellen wählbar. Datenmenge des komprimierten Bildes liegt zwischen 1 % und 33 % der Datenmenge des unkomprimierten Bildes.
- Voller Reset vor und nach jedem Bild, d.h. bei Motion-JPEG hat jedes Bild gleiche Anfangsbedingungen. Damit sind auch verschiedene Videostreams seriell in einem Core decodierbar.
- Leichtes Einfügen in ein vorhandenes HDL-Programm bzw. Verbinden mit Programmmodulen durch definierte Schnittstellen.
- Programmierung des gesamten JPEG-Codex wurde mit grafischer Oberfläche (Matlab/Simulink mit XILINX System Generator) als modularer Aufbau ausgeführt.
- Bildgröße kann beliebig sein (z.B. 64 k x 64 k).
- Optionale Module für Videodarstellung, Mehrkameraanschluß, Headerdecodierung, RAM-Anbindung usw. sind verfügbar. Individuelle Anpassung der IP-Cores möglich.
- Core für XILINX FPGAs einsetzbar (Spartan-3-Familie, Spartan-6, Virtex-4, Virtex-5, Virtex-6, 7-er Familie Artix, Kintex, Virtex, ZYNQ).

## Platzverbrauch und Geschwindigkeit

Der **JPEG-Decoder** (Kernkomponenten 2D-iDCT und VLD) ist in den folgenden XILINX FPGAs mit dem Platzverbrauch nach Place & Route beispielhaft aufgelistet:

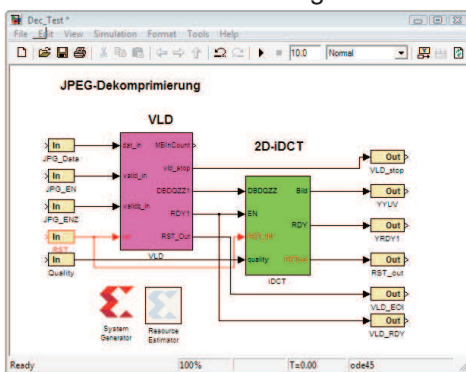
FPGA	Slice Reg	Slice LUTs	Belegte Slices	DSP48 oder Emb. Mult.	BlockRAM	BlockRAM /kbit
Spartan-3E	2138	4291	2519	1	4	64
Spartan-6	2117	2728	1056	1	3	48
Virtex-5	2124	3008	1075	1	2	72
Virtex-6	2115	2798	1019	1	2	72
Virtex-7	2048	2729	959	1	2	72
Kintex-7	2047	2734	1010	1	2	72

Die möglichen maximalen Systemfrequenzen des Cores und die Verarbeitungsgeschwindigkeiten sind im Folgenden für FPGAs mit entsprechendem Speedgrade für den maximalen Systemtakt und maximalen Pixeltakt für den Decoder aufgelistet:

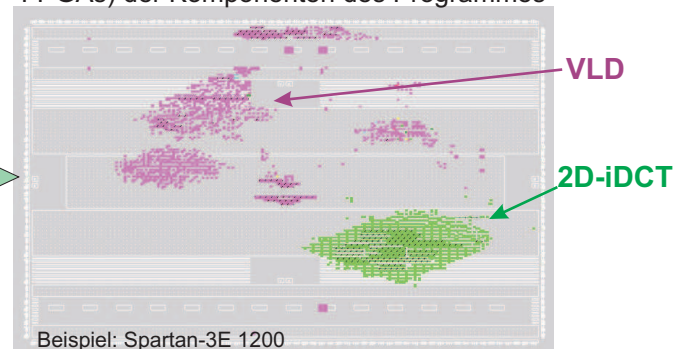
FPGA	Speedgrade	$t_{max}$ /ns	$f_{System\ max}$ /MHz	$f_{Pixel\ max}$ /MHz (24 bit/Pixel)
Spartan-3E	4	9,09	110	55
Spartan-6	2	7,33	136	68
Spartan-6	3	5,95	168	84
Virtex-5	2	4,24	236	118
Virtex-6	2	4,16	240	120
Virtex-7	3	4,42	226	113
Kintex-7	2	4,27	234	117

Für hohe und höchste Qualitäten der komprimierten Bilder kann die Geschwindigkeit angepaßt werden. Unser Entwicklerteam steht auch für jede Anpassung und Hilfe bei diesem und anderen IP-Cores zur Verfügung.

Matlab/Simulink-Programm



Floorplan (Lage der Elemente innerhalb des FPGAs) der Komponenten des Programmes



## Optionen

- Headerdecodierung und Videodarstellung
- Bildzeilenspeicher intern/extern RAM mit Pixelsortierung (YYUV) als Nachverarbeitung
- zusätzliche FIFOs für komprimierte Bilddaten und Mehrkameraanschluß
- Entwicklungsdienstleistungen rund um FPGA-Funktionen und -Applikationen

## Bestellinfos

JPEG-Dec-HQ	JPEG-Decoder für Einzelbilder höchster Qualität
JPEG-Dec-Video	JPEG-Decoder für Videostreams
JPEG-Dec-NV	Nachverarbeitung der Bilddaten am Encoderausgang

AVT GmbH • Automatisierungs- und Verfahrenstechnik • Am Hammergrund 1 • 98693 Ilmenau  
Tel: +49 (0)3677 6479-56 • Fax: +49 (0)3677 6479-69 • Mail: info@avt-ilmenau.de

Irrtum und Änderungen vorbehalten.