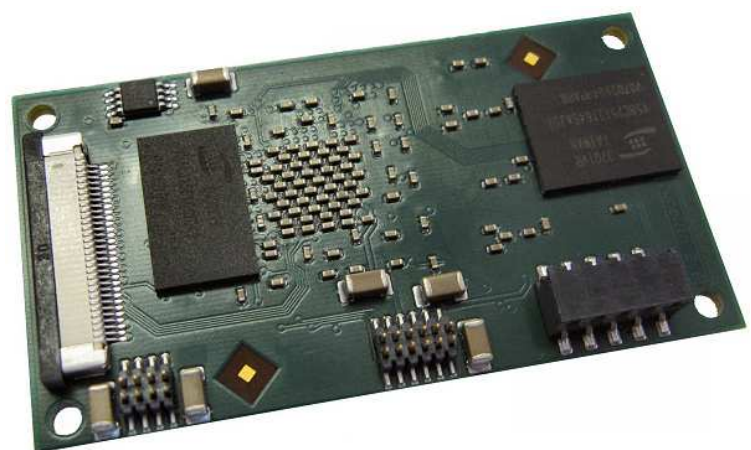
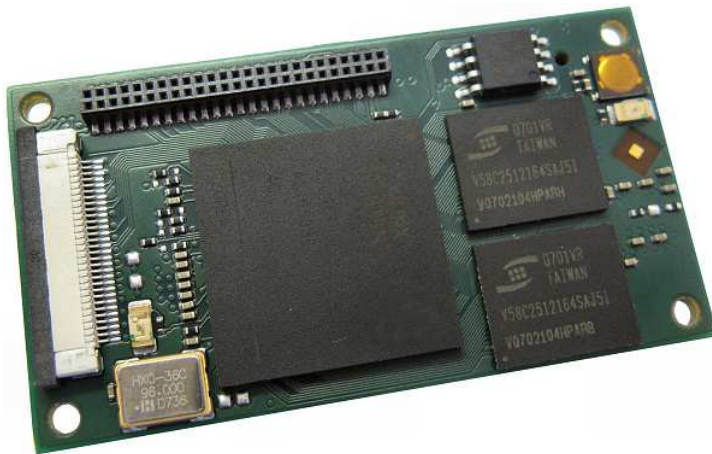


AVT Spartan-3A DSP Development Kit Benutzerhandbuch

AVT DK S3ADSP-1800 (V1.0) 10.11.2008



Inhaltsverzeichnis

- Kapitel 1: Einführung**
- Kapitel 2: Komponenten und Eigenschaften**
- Kapitel 3: 512 MBit DDR-RAM (U4, U5, U6)**
- Kapitel 4: 256 MBit SDRAM (U7)**
- Kapitel 5: 32 Mbit SPI-Flash (U3)**
- Kapitel 6: Kommunikationsbuchse BU2**
- Kapitel 7: ZIF-Sockel BU3 (Oberseite)**
- Kapitel 8: ZIF-Sockel BU4 (Unterseite)**
- Kapitel 9: JTAG Programmieranschluß (BU1)**
- Kapitel 10: Temperatursensor (U2)**
- Kapitel 11: Taktquelle (OSC1)**
- Kapitel 12: Spannungsversorgung**

- Anhang A: Referenzmaterial für verwendete Komponenten**
- Anhang B: Optional erhältliches Zubehör**

Kapitel 1: Einführung

Das AVT Spartan-3A DSP Development Kit bietet eine kostengünstige, flexible und einfach zu benutzende Entwicklungsplattform für Spartan-3A DSP Designs.

Vorteile:

- Entwickeln sie ihre Applikation auf dem Development Kit und bestellen sie angepaßte Version des Development Kits für ihr finales Produkt zu günstigen Konditionen. Sie sparen die kostenintensive Entwicklung einer mehrlagigen komplexen Platine und sind schneller am Markt mit einer getesteten Lösung. Applikation und Produktentwicklung auf nur einem Development Kit.
- Das Design des Development Kits ist sehr platzsparend und besteht in der Grundvesion aus zwei Platinen mit nur 55 x 30 mm². Finale Produkte mit minimalen Abmessungen und großer Leistungsfähigkeit sind problemlos realisierbar.
- Wir verwenden einen modernen Spartan-3A DSP FPGA der Firma XILINX mit bis zu 3.400.000 Systemgattern
- Sie finden einen schnellen Einstieg in die FPGA Programmierung durch die von uns entwickelte Modulare Grafische Programmierung (MGP) auf der Basis von Schematics; schnelle einfache Applikationserstellung mit Rahmenprogramm und Funktionsmodulen; sehr kurze Einarbeitungszeiten.
- Zur Unterstützung und zur Einarbeitung kann auch die Teilnahme an unseren applikationsorientierten Seminaren die entscheidende Hilfe sein

Anwendungen:

- Videobearbeitung, Audioverarbeitung
- anspruchsvolle Bildverarbeitung
- anspruchsvolle digitale Signalverarbeitung
- IP Core basierte Systeme
- schnelle Datenübertragung und Netzwerktechnik
- Echtzeitberechnungen

Kapitel 2: Komponenten und Eigenschaften

Die Abbildung 2-1 zeigt das komplette AVT Spartan-3A DSP Development Kit, welches folgende Komponenten und Eigenschaften beinhaltet:

Es stehen 2 FPGA als Bestückungsvarianten zur Auswahl:

**1. XILINX Spartan-3A DSP XC3SD1800A FPGA in einem 484 Ball
Chipscale Gehäuse (XC3SD1800A-4CSG484C)**

- 1.800.000 Systemgatter
- 16.640 Slices (37.440 Logikzellen)
- 1512 kBit Block RAM
- maximal 260 kBit Distributed RAM
- 20 Hardware Multiplizierer
- 84 x DSP48A
- 8 x DCM (Digital Clock Manager)

**2. XILINX Spartan-3A DSP XC3SD3400A FPGA in einem 484 Ball
Chipscale Gehäuse (XC3SD3400A-4CSG84C)**

- 3.400.000 Systemgatter
- 23.842 Slices (53.712 Logikzellen)
- 2268 kBit Block RAM
- maximal 373 kBit Distributed RAM
- 23 Hardware Multiplizierer
- 126 x DSP48A
- 8 x DCM (Digital Clock Manager)

• EON 32 MBit SPI Flash Baustein (EN25P32) oder ähnlicher

- minimal 100.000 Löschzyklen
- 20 Jahre Datensicherheit bei 125 °C

• 3 x 512 MBit DDR-RAM der Firma Promos (V58C2512164SA)

- organisiert 8 Megabit x 16 x 4 Bänke
- voll synchrone Register-zu-Register Operationen
- auch als 256 MBit möglich
- es werden auch kompatible SDRAM Bausteine der Hersteller Micron, ESMT, Quimonda oder ähnliche verwendet

-
- **1 x 256 MBit SDRAM der Firma Promos (V54C3256164VD)**
 - organisiert 4 Megabit x 16 x 4 Bänke
 - voll synchrone Register-zu-Register Operationen
 - auch als 128 MBit möglich
 - es werden auch kompatible SDRAM Bausteine der Hersteller Micron, ESMT, Quimonda oder ähnliche verwendet

 - JTAG Programmierport (BU1)
 - SPI Flash Programmierport (BU1)
 - 2 x 30-polige ZIF-Sockel mit nutzerdefinierbaren Ein- oder Ausgängen (BU3 & BU4)
 - 1 x 50-polige Buchse mit nutzerdefinierbaren Ein- oder Ausgängen (BU2)
 - eine Spannungsversorgung mit Eingangsspannungen von 5 V oder 5,5...36 V DC (Powerplatine)
 - Taktversorgung mit 96 MHz
 - Temperatursensor
 - Reset-Taster
 - DONE LED
 - LED zur freien Verfügung

Wichtige Benutzerhinweise

Die Versorgungsspannungen müssen immer polungsrichtig angeschlossen werden und dürfen niemals größer als die angegebenen Spannungswerte sein. Für Schäden am Development Kit durch unsachgemäße Handhabung bzw. falschem Anschluß von Spannungen besteht kein Garantieanspruch.

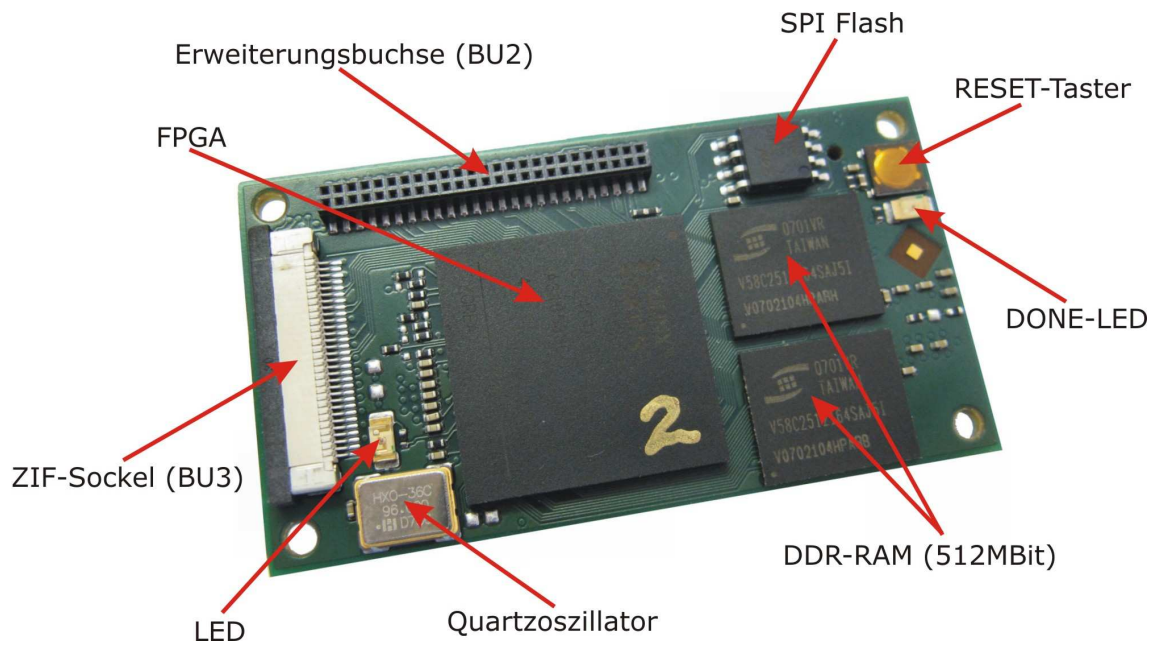


Abbildung 2-1: AVT Spartan-3A DSP Development Kit (Oberseite)

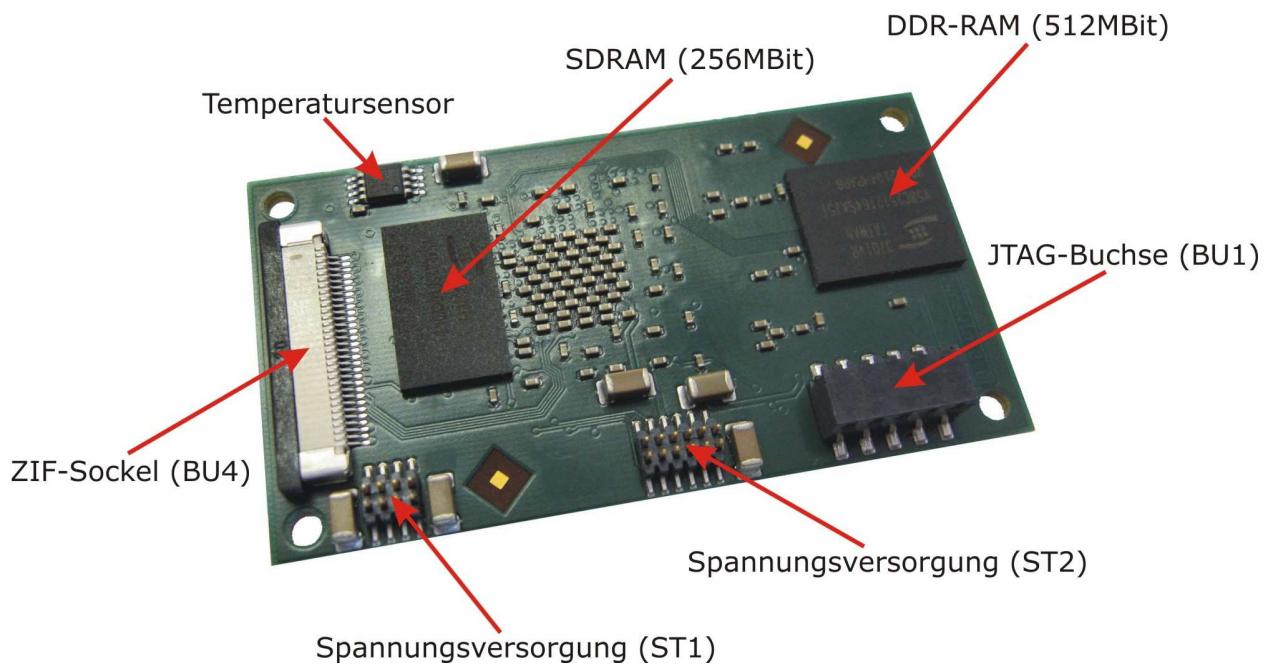


Abbildung 2-2: AVT Spartan-3A DSP Development Kit (Unterseite)

Abbildung 2-2: FPGA PINout

Kapitel 3: 512 MBit DDR-RAM (U4,U5,U6)

Das AVT Spartan-3A DSP Development Kit besitzt drei 512 MBit DDR-RAM der Hersteller Promos (V58C2512164SA), Micron, ESMT oder Quimonda. Zwei dieser Schaltkreise befindet sich auf der Vorderseite (siehe Abbildung 2-1), der dritte ist auf der Rückseite montiert (siehe Abbildung 2-2). Der Speicher ist in 8 Megabit x 16 bit x 4 Bänke organisiert. Die Daten-, Adreß- und Steuerleitungen sind direkt mit dem FPGA verbunden.

Das AVT Spartan-3A DSP Development Kit kann auch mit kleinerem bzw. größerem DDR-RAM Schaltkreisen der oben genannten Hersteller bestückt werden.

Leitungen zwischen DDR-RAM 1 (U4) und FPGA:

Adreßleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
K7	A00	C6
L8	A01	A3
L7	A02	F7
M8	A03	B3
M2	A04	E12
L3	A05	D7
L2	A06	F11
K3	A07	F8
K2	A08	E8
J3	A09	D9
K8	A10	B4
J2	A11	C8
H2	A12	A20

Datenleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
A8	DQ00	A8
B9	DQ01	B8
B7	DQ02	B9
C9	DQ03	C7
C7	DQ04	A9
D9	DQ05	A6
D7	DQ06	D10
E9	DQ07	B6
E1	DQ08	C19
D3	DQ09	B13
D1	DQ10	C17
C3	DQ11	A14
C1	DQ12	A17
B3	DQ13	B15
B1	DQ14	B17

A2	DQ15	C16
----	------	-----

Steuerleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
J8	BA0	A4
J7	BA1	D6
G8	CAS#	A5
H7	RAS#	D5
G7	WE#	A11
H8	CS#	C4
E3	UDQS	A13
E7	LDQS	B11
G2	CK	C13
G3	CK#	C12
H3	CKE	B19

Leitungen zwischen DDR-RAM 2 (U5) und FPGA:

Adreßleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
K7	A00	G8
L8	A01	F18
L7	A02	B20
M8	A03	A19
M2	A04	F16
L3	A05	E16
L2	A06	F15
K3	A07	D15
K2	A08	E15
J3	A09	D14
K8	A10	C9
J2	A11	F14
H2	A12	E13

Datenleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
A8	DQ00	N17
B9	DQ01	H22
B7	DQ02	M17
C9	DQ03	G22
C7	DQ04	H20
D9	DQ05	E22
D7	DQ06	F22
E9	DQ07	F20
E1	DQ08	J17
D3	DQ09	L17
D1	DQ10	K19
C3	DQ11	L20
C1	DQ12	K20
B3	DQ13	M20
B1	DQ14	M18
A2	DQ15	N18

Steuerleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
J8	BA0	F9
J7	BA1	F10
G8	CAS#	G18
H7	RAS#	G17
G7	WE#	G19
H8	CS#	E11
E3	UDQS	D13
E7	LDQS	F13
G2	CK	D21
G3	CK#	D22
H3	CKE	T17

Leitungen zwischen DDR-RAM 3 (U6) und FPGA:

Adreßleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
K7	A00	J20
L8	A01	H18
L7	A02	P16
M8	A03	H17
M2	A04	W19
L3	A05	V20
L2	A06	U18
K3	A07	U20
K2	A08	U19
J3	A09	T20
K8	A10	F21
J2	A11	T18
H2	A12	R18

Datenleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
A8	DQ00	K22
B9	DQ01	L22
B7	DQ02	L21
C9	DQ03	M22
C7	DQ04	N22
D9	DQ05	N21
D7	DQ06	P22
E9	DQ07	K16
E1	DQ08	R19
D3	DQ09	U22
D1	DQ10	R20
C3	DQ11	V22
C1	DQ12	AA22
B3	DQ13	W22
B1	DQ14	Y21
A2	DQ15	Y22

Steuerleitungen:

DDR-RAM PIN	Bezeichnung	FPGA PIN
J8	BA0	D20
J7	BA1	E20
G8	CAS#	J19
H7	RAS#	F19
G7	WE#	E19
H8	CS#	D19
E3	UDQS	R22
E7	LDQS	K18
G2	CK	N20
G3	CK#	N19
H3	CKE	P19

Kapitel 4: 256 MBit SDRAM (U7)

Das AVT Spartan-3A DSP Development Kit besitzt einen 256 MBit SDRAM der Hersteller Promos (V54C3256164VD), Micron, ESMT oder Quimonda. Dieser Schaltkreis befindet sich auf der Rückseite (siehe Abbildung 2-2). Der Speicher ist in 4 Megabit x 16 bit x 4 Bänke organisiert. Die Daten-, Adreß- und Steuerleitungen sind direkt mit dem FPGA verbunden.

Adreßleitungen SDRAM:

SDRAM PIN	Bezeichnung	FPGA PIN
H7	A00	W8
H8	A01	V7
J8	A02	W5
J7	A03	AB7
J3	A04	Y5
J2	A05	AB4
H3	A06	AB6
H2	A07	AB5
H1	A08	Y4
G3	A09	U8
H9	A10	Y8
G2	A11	U10
G1	A12	U9

Datenleitungen zwischen SDRAM und FPGA:

SRAM PIN	Bezeichnung	FPGA PIN
A8	DQ00	AA15
B9	DQ01	W14 (Y14)
B8	DQ02	Y16
C9	DQ03	Y13
C8	DQ04	V16
D9	DQ05	V11 (Y12)
D8	DQ06	V12 (W13)
E9	DQ07	Y11
E1	DQ08	U14
D2	DQ09	U15
D1	DQ10	AB14
C2	DQ11	AB17
C1	DQ12	AB19
B2	DQ13	AB18
B1	DQ14	AA19
A2	DQ15	Y18

Steuerleitungen zwischen SDRAM und FPGA:

SDRAM PIN	Bezeichnung	FPGA PIN
G7	BA0	Y17
G8	BA1	V8 (W9)
F7	CAS#	AB10
F8	RAS#	V10 (W10)
F9	WE#	Y10
G9	CS#	Y9
F2	CLK	U16 / AA12
F3	CKE	U13

SD-RAM Takt-Rückführung (SDCLK) von FPGA PIN U16 zu FPGA Pin AA12 (GCLK14).

Die blau markierten PINs sind doppelt verwendet, das heißt das VIA des Nachbarpins (in Klammern stehender PIN) wurde für das Routing mitbenutzt und ist aus diesem Grund nicht separat nutzbar.

Kapitel 5: ATMEL/EON SPI-FLASH (U3)

Das AVT Spartan-3A DSP Development Kit besitzt einen 32 MBit SPI-Flash der Hersteller Atmel (AT45DB321C) oder EON (EN25P32). Dieser Schaltkreis befindet sich auf der Vorderseite der Platine (siehe Abbildung 2-1). Der Flash dient zum Ablegen des Bitstromes für den FPGA, welcher sofort nach dem Anlegen der Betriebsspannung in den FPGA geladen wird. Weiterhin kann der verbleibende Platz für Nutzerdaten verwendet werden. Diese Daten bleiben auch nach dem Abschalten der Platine erhalten.

ATMEL PIN	EON PIN	Bezeichnung	FPGA PIN
1	5	MOSI	V13
2	6	CCLK	V17
3	7	RST	AA4
4	1	CSO_B	U7
5	3	WP	AA8
6	8	+3,3 V	---
7	4	GND	---
8	2	DIN	W17

Die Leitungen WP und RST sind mit jeweils einem PullUp Widerstand zu VCC (+3,3 V) beschaltet.

Kapitel 6: Erweiterungsbuchse BU2

Auf der Oberseite des AVT Spartan-3A DSP Development Kits (siehe Abbildung 2-1) befindet sich die 50-polige Erweiterungsbuchse BU2. Es wurde hier eine Buchse des Herstellers Samtec (CLM-125-02-G-D) verwendet. An diese Buchse kann die auch bei der AVT GmbH Ilmenau optional erhältliche Kommunikationsplatine angesteckt werden.

BU2 PIN	Bezeichnung	FPGA PIN
01	+5 V	---
02	+5 V	---
03	GND	---
04	GND	---
05	+3,3 V	---
06	+2,5 V	---
07	GND	---
08	GND	---
09	I/O	U2
10	I/O	U1
11	I/O	M6
12	I/O	T1
13	I/O	M1
14	I/O	R3
15	I/O	L1
16	I/O	R1
17	I/O	K1
18	I/O	R2
19	I/O	J1
20	I/O	P1
21	I/O	H3
22	I/O	P2
23	I/O	H2
24	I/O	N1
25	GND	---
26	GND	---
27	I/O	G6
28	I/O	L6
29	I/O	F2
30	I/O	K2
31	I/O	F3
32	I/O	K3
33	GND	---
34	GCLK0	U12
35	I/O	F4
36	I/O	H1
37	I/O	C2
38	I/O	G1
39	I/O	E4
40	I/O	F1
41	I/O	C1
42	I/O	E3

43	+1,2 V	---
44	+1,2 V	---
45	GND	---
46	GND	---
47	+1,5 V	---
48	+3,3 V	---
49	+2,5 V	---
50	+2,5 V	---

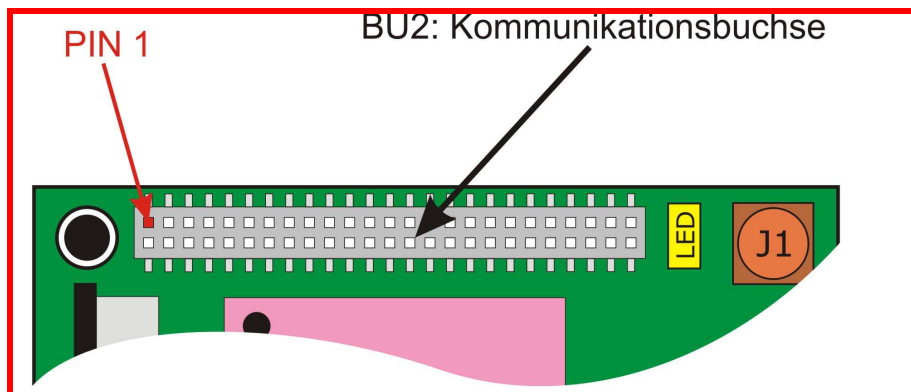


Abbildung 6-1: Kommunikationsbuchse

Die PINs der Spannungsversorgung ST1 und ST2 sind zur BU2 durchgeroutet. Dadurch kann die Spannungsversorgung der eventuell angeschlossenen Kommunikationsplatine direkt von der Powerplatine mit erfolgen.

RS422 Schnittstelle:

Auf der optional erhältlichen Powerplatine zur Spannungsversorgung des AVT Spartan-3A DSP Development Kits befindet sich eine RS422 Schnittstelle. Die dafür benötigten FPGA PINs sind über den Stecker ST2 (FTMH-106-03-F-DV) zur Spannungsversorgungsplatine geleitet.

ST2 PIN	Bezeichnung	Art	FPGA PIN
01	R	I/O	Y19
02	D	I/O	AA14
03	---	I/O	W15
04	---	I/O	AB16

Der FPGA PIN W15 (INIT_B) ist zusätzlich über ein Pull-up Widerstand von 4,7 kOhm an 3,3V gelegt.

Kapitel 7: ZIF-Sockel BU3 (Oberseite)

Auf der Oberseite des AVT Spartan-3A DSP Development Kits (siehe Abbildung 2-1) befindet sich der 30-polige ZIF-Erweiterungssockel BU3. Es wurde hier ein Standard ZIF-Sockel des Herstellers Samtec (ZF5-30-01-T-WT) verwendet. An diesen Sockel kann eine auch bei der AVT GmbH Ilmenau zusätzlich erhältliche CMOS Imagesensorplatine mit 3 oder 5 Megapixeln angeschlossen werden. Weiterhin können diese Anschlüsse auch für eigene Erweiterungsplatinen verwendet werden.

BU3 PIN	Bezeichnung	Art	FPGA PIN
01	+5 V	---	---
02	GND	---	---
03	+3,3 V	---	---
04	GND	---	---
05	TRIGGER	I/O	V1
06	GSHT_STROBE	I/O	W2
07	GND	---	---
08	SDA	I/O	W1
09	SCLK	I/O	W3
10	GND	---	---
11	NC_D00	IP	U3
12	GND	---	---
13	STROBE_D01	I/O	Y1
14	D00_D02	IP	T3
15	D01_D03	IP	Y2
16	D02_D04	IP	AA1
17	D03_D05	IP	P3
18	D04_D06	IP	N4
19	D05_D07	IP	N3
20	D06_D08	IP	M3
21	D07_D09	IP	J3
22	D08_D10	IP	J4
23	D09_D11	IP	E1
24	GND	---	---
25	FRAME	IP	D1
26	LINE	IP	D3
27	GND	---	---
28	PIXCLK	IP	D4
29	GND	---	---
30	MCLK	I/O	G5

I/O = bidirektional; IP = Input

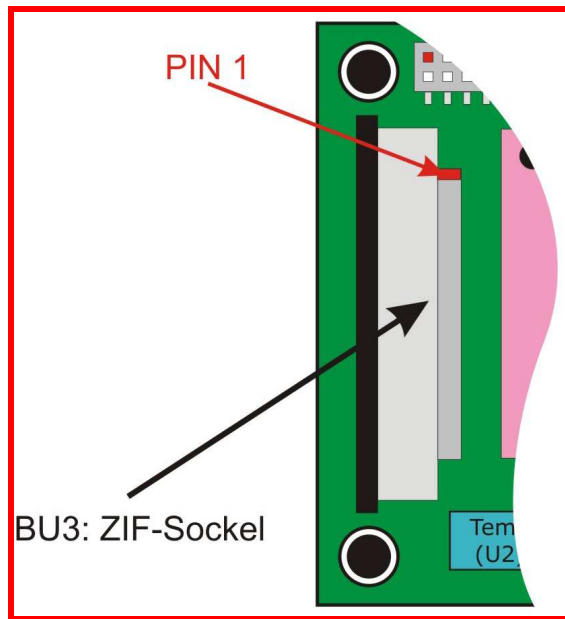


Abbildung 7-1: ZIF-Sockel Oberseite

Kapitel 8: ZIF-Sockel BU4 (Unterseite)

Auf der Unterseite des AVT Spartan-3A DSP Development Kits (siehe Abbildung 2-2) befindet sich der 30-polige ZIF-Erweiterungssockel BU4. Es wurde hier ein Standard ZIF-Sockel des Herstellers Samtec (ZF5-30-01-T-WT) verwendet. An diesen Sockel kann eine auch bei der AVT GmbH Ilmenau zusätzlich erhältliche VGA-Ausgabeplatine angeschlossen werden. Weiterhin können diese Anschlüsse auch für eigene Erweiterungsplatinen als Ein- bzw. Ausgänge verwendet werden.

BU4 PIN	Bezeichnung	Art	FPGA PIN
01	VOUT1	I/O	F5
02	VOUT2	I/O	G3
03	VOUT3	I/O	H5
04	VOUT4	I/O	H4
05	VOUT5	I/O	H6
06	VOUT6	I/O	K5
07	VOUT7	I/O	K4
08	VOUT8	I/O	K6
09	VOUT9	I/O	L5
10	VOUT10	I/O	L3
11	VOUT11	I/O	M5
12	VOUT12	I/O	M2
13	VOUT13	I/O	N5
14	VOUT14	I/O	P4
15	VOUT15	I/O	P6
16	VOUT16	I/O	R5
17	VOUT17	I/O	N7
18	VOUT18	I/O	U4
19	VOUT19	I/O	V4
20	VOUT20	I/O	T5
21	VOUT21	I/O	U5
22	VOUT22	I/O	T4
23	VOUT23	I/O	V3
24	VOUT24	I/O	T6
25	VOUT25	I/O	R6
26	VOUT26	I/O	N6
27	GND	---	---
28	+3,3 V	---	---
29	GND	---	---
30	+5 V	---	---

I/O = bidirektional; IP = Input

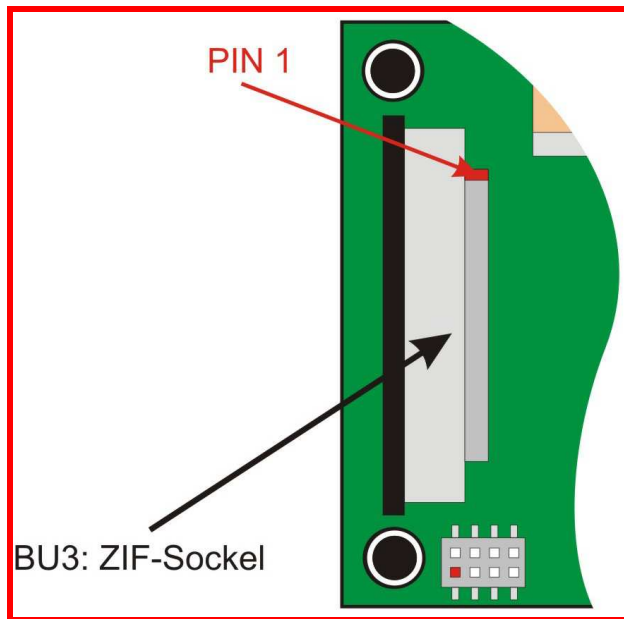


Abbildung 8-1: ZIF-Sockel Unterseite

Kapitel 9: JTAG Programmieranschluß

Zum Übertragen der kompilierten Bitfiles in den FPGA ist auf dem AVT Spartan-3A DSP Development Kit ein JTAG Programmieranschluß (BU1) vorhanden. Dieser wird mit dem optional erhältlichen Programmiergerät mit dem PC verbunden. Mit dem in der XILINX ISE enthaltenen Programmierwerkzeug IMPACT kann das fertige Bitfile in den FPGA übertragen werden. Nach erfolgreicher Übertragung wird das Bitfile sofort ausgeführt.

Belegung des JTAG/SPI-Stecker BU1:

PIN an BU1	Bezeichnung	FPGA PIN	Flash PIN
01	VAUX / +3,3V	---	---
02	GND	---	---
03	TMS	B1	---
04	MOSI	V13	5
05	TDO	B22	---
06	MISO	W17	2
07	TDI	D2	---
08	SCK	V17	6
09	TCK	A21	---
10	SS_B	U7	1

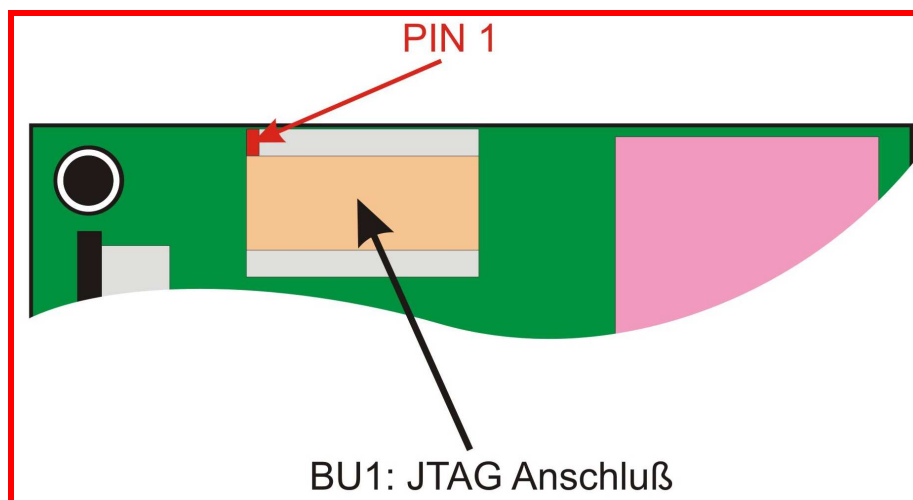


Abbildung 9-1: JTAG Programmieranschluß

10	8	6	4	2
9	7	5	3	1

Abbildung 9-2: Buchse 1 Pinverteilung

Kapitel 10: Temperatursensor

Zur Überwachung der Betriebstemperatur des AVT Spartan-3A DSP Development Kits ist auf der Platine ein Temperatursensor (DS18B20) der Firma Dallas Semiconductor angebracht. Dieser Sensor befindet sich auf der Vorderseite der Platine. Die Verbindung zum FPGA wird durch eine 1-Draht-Schnittstelle hergestellt. Jeder dieser Temperatursensoren besitzt eine eindeutige Seriennummer.

Verbindung zwischen Temperatursensor und FPGA:

Temperatursensor PIN	Bezeichnung	FPGA PIN
1	DQ	AA10

Kapitel 11: Taktquelle

Zur Versorgung des AVT Spartan-3A DSP Development Kits mit dem 96 MHz Systemtakt wird auf der Platine ein hochwertiger Quarzoszillator HXO-36 der Firma HOSONIC eingesetzt.

Taktsignale zum FPGA:

PIN Nummer	Bezeichnung
FPGA AB12	GCLK 15
FPGA AB13	GCLK 02

Kapitel 12: Spannungsversorgung

Die Spannungsversorgung des AVT Spartan-3A DSP Development Kits erfolgt über die Stecker ST1 und ST2 mit Hilfe der Powerplatine. Die Spannungsversorgung kann alternativ auch über andere geeignete Spannungsquellen erfolgen. Es dürfen ausschließlich geregelte Gleichspannungen verwendet. Die Leistungsaufnahme des AVT Spartan-3A DSP Development Kits liegt bei 2 W bis 5 W.

Es werden folgende Spannungen benötigt (max. zulässige Toleranzen):

- + 5 V
- + 3,3 V (3,000 ... 3,600 V)
- + 2,5 V (2,250 ... 2,750 V)
- + 1,5 V
- + 1,2 V (1,140 ... 1,260 V)

Diese Spannungen werden alle von der Powerplatine bereitgestellt. Die 1,25 V Referenzspannung für die DDR RAM Schaltkreise werden separat durch einen Spannungsteiler auf der Development Kit Platine erzeugt.

Die Powerplatine wird einfach an die beiden Stecker ST1 und ST2 angesteckt und stellt diese Spannungen bereit. Sie selbst benötigt nur eine Eingangsgleichspannung, die zwischen 5... 36 V (nominell 12 V) liegen kann. Dies vereinfacht die Spannungsversorgung des AVT Spartan-3A DSP Development Kits erheblich. Zusätzlich enthält die Powerplatine eine RS422 Schnittstelle (Belegung siehe Kapitel 6)

Spannungsversorgungsstecker ST1:

PIN Nummer	Bezeichnung
01	+5,0 V
02	+5,0 V
03	GND
04	GND
05	+3,3 V
06	+2,5 V
07	GND
08	GND

Spannungsversorgungsstecker ST2:

PIN Nummer	Bezeichnung	RS422
01	FPGA Y19	R
02	FPGA AA14	D
03	FPGA W15	---
04	FPGA AB16	---
05	+1,2 V	---
06	+1,2 V	---
07	GND	---
08	GND	---
09	+1,5 V	---
10	+3,3 V	---
11	+2,5 V	---
12	+2,5 V	---

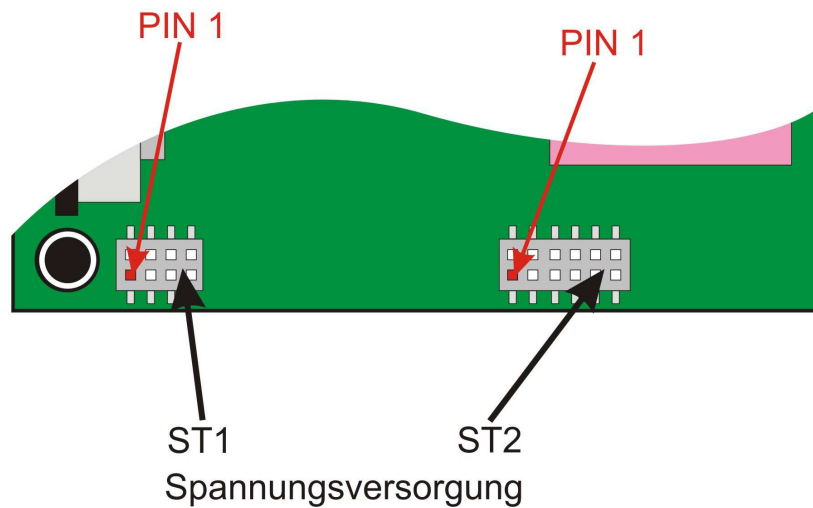


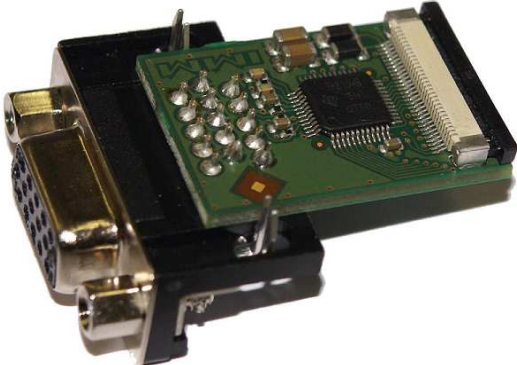



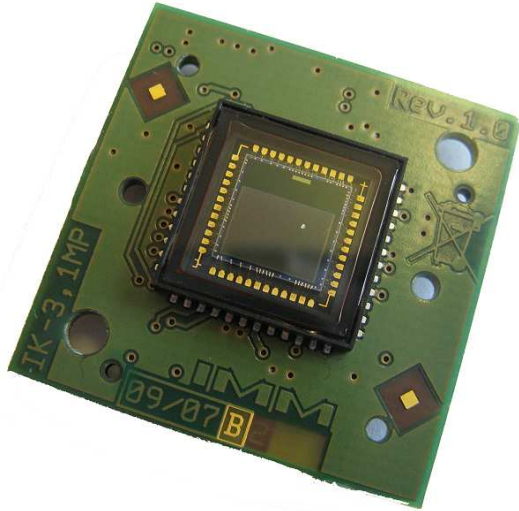
Abbildung 12-1: Spannungsversorgungsstecker

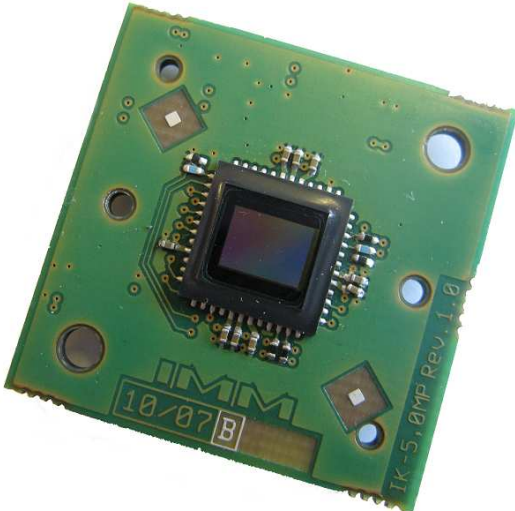
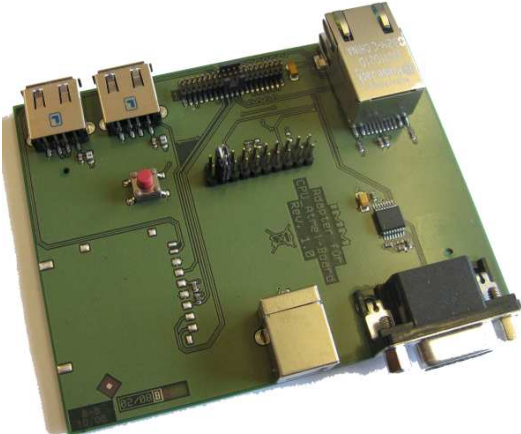
Anhang A: Referenzmaterial für verwendete Komponenten

Baustein	Hersteller	Teilenummer / Datenblatt
FPGA	XILINX	XC3SD1800A-4CSG484C http://www.xilinx.com/support/documentation/data_sheets/ds610.pdf
Flash	EON	EN25P32 http://www.eonsdi.com/pdf/EN25P32.pdf
DDR RAM	Micron / Promos / ESMT	V58C2512164SA http://www.promos.com.tw/website/html/english/product/V58/V58C2512164SA.pdf
SDRAM	Micron / Promos / ESMT	V54C3256164VD http://www.promos.com.tw/website/html/english/product/V54/V54C3256164VD.pdf
Temperatur	Dallas Semiconductor	DS18B20U http://pdfserv.maxim-ic.com/en/ds/DS18B20.pdf
Quarz	Hosonic Electronic	HXO-36 http://www.hosonic.com/pdf/frequency/f31.pdf

Anhang B: Optional erhältliches Zubehör

Bezeichnung	Beschreibung	verfügbar
AVT JTAG-P	JTAG Programmierkabel für den 25-poligen Parallelanschluß am PC 	01/07
AVT JTAG-U	JTAG Programmierkabel für den USB Anschluß am PC 	X
AVT VGA	VGA Ausgabeplatine zum Anschluß an ZIF-Sockel (BU4) 	01/08

<p>AVT ATMEL-KOMM</p>	<p>Platine mit ATMEL CPU zur Bereitstellung von Kommunikationsschnittstellen (USB, Ethernet, RS232,...) zum Anschluß an Buchsenleiste (BU2)</p>  <p>The image shows a green printed circuit board (PCB) populated with several integrated circuits. The most prominent component is a large black chip in the center labeled 'AT91SAM760' with 'ARM' and 'DSP' markings. Other components include a USB-to-UART bridge chip (FT232RL), an Ethernet controller (LAN8710), and various passive components like resistors and capacitors. A multi-pin connector is visible on the right side of the board.</p>	<p>02/08</p>
<p>AVT 3,1 MPx</p>	<p>3 MegaPixel CMOS Imagesensor-Platine zum Anschluß an ZIF-Sockel (BU3)</p>  <p>The image shows a green PCB with a large square CMOS image sensor chip mounted in the center. The sensor chip is a square package with a grid of gold pins. The board is labeled 'Rev. 1.0' in the top right corner and 'IK-3,1MP' on the left side. At the bottom, there is a label 'IMM' and '09/07 B'. The board has several mounting holes and small surface components.</p>	<p>09/07</p>

<p>AVT 5 MPx</p>	<p>5 MegaPixel CMOS Imagesensor-Platine zum Anschluß an ZIF-Sockel (BU3)</p>  <p>The image shows a green printed circuit board (PCB) for a 5 MegaPixel CMOS image sensor. It features a central square sensor chip with a grid of pins. The board has several circular mounting holes and a ZIF socket connector at the bottom. Text on the board includes 'IMM', '10/07 B', and 'IK-5.0MP Rev. 1.0'.</p>	<p>10/07</p>
<p>AVT 10 MPx</p>	<p>10 MegaPixel CMOS Imagesensor-Platine zum Anschluß an ZIF-Sockel (BU3)</p>	<p>12/08</p>
<p>AVT KOMM-AD</p>	<p>Adapterplatine zur Bereitstellung der Stecker und Buchsen für die Kommunikationsschnittstellen (anschließbar an AVT ATMEL-KOMM)</p>  <p>The image shows a green PCB communication adapter board. It has various connectors including two RJ45 ports, a USB port, and a D-sub connector. There are also several integrated circuits and a red LED on the board. Text on the board includes 'AVT-KOMM-AD Rev. 1.0'.</p>	<p>03/08</p>

AVT AD1	<p>Adapterplatine von 1mm CLM-Buchse (BU2) auf 1,27 mm FTSH-Stecker bzw. für direkte Lötverbindungen (durchkontaktiert) ohne FTSH-Stecker</p> 	04/08
AVT CF	<p>Platine mit CF-Card Sockel zur Datenspeicherung auf Compactflash-Karte (anschließbar am ZIF-Sockel BU4)</p>	08/08