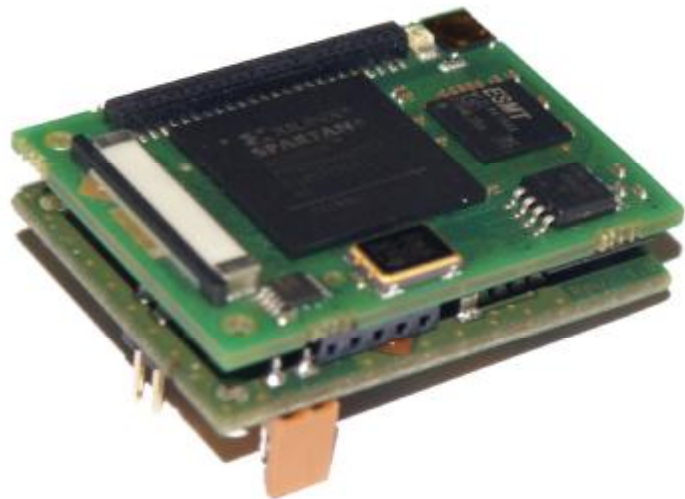


AVT Spartan-3E Development Kit Benutzerhandbuch

AVT DK S3E-500 (V1.0) 08.05.2008



Inhaltsverzeichnis

- Kapitel 1: Einführung**
- Kapitel 2: Komponenten und Eigenschaften**
- Kapitel 3: 256 MBit SRDAM (U5)**
- Kapitel 4: 64 MBit SDRAM (U4)**
- Kapitel 5: ATMEL SPI-Flash (U3)**
- Kapitel 6: Kommunikationsbuchse BU2**
- Kapitel 7: ZIF-Sockel BU3 (Oberseite)**
- Kapitel 8: ZIF-Sockel BU4 (Unterseite)**
- Kapitel 9: JTAG Programmieranschluß (BU1)**
- Kapitel 10: Temperatursensor (U2)**
- Kapitel 11: Taktquelle (OSC1)**
- Kapitel 12: Spannungsversorgung**

- Anhang A: Referenzmaterial für verwendete Komponenten**
- Anhang B: Optional erhältliches Zubehör**

Anhang A: Referenzmaterial für verwendete Komponenten

Anhang B: Schaltpläne

Anhang C: Mechanische Abmessungen

Kapitel 1: Einführung

Das AVT Spartan-3E Development Kit bietet eine kostengünstige, flexible und einfach zu benutzende Entwicklungsplattform für Spartan-3E Designs.

Vorteile:

- Entwickeln sie ihre Applikation auf dem Development Kit und bestellen sie angepaßte Version des Development Kits für ihr finales Produkt zu günstigen Konditionen. Sie sparen die kostenintensive Entwicklung einer mehrlagigen komplexen Platine und sind schneller am Markt mit einer getesteten Lösung. Applikation und Produktentwicklung auf nur einem Development Kit.
- Das Design des Development Kits ist sehr platzsparend und besteht in der Grundvesion aus zwei Platinen mit nur 40 x 30 mm². Finale Produkte mit minimalen Abmessungen und großer Leistungsfähigkeit sind problemlos realisierbar.
- Wir verwenden einen modernen Spartan-3E FPGA der Firma XILINX mit bis zu 1.200.000 Systemgattern
- Sie finden einen schnellen Einstieg in die FPGA Programmierung durch die von uns entwickelte Modulare Grafische Programmierung (MGP) auf der Basis von Schematics; schnelle einfache Applikationserstellung mit Rahmenprogramm und Funktionsmodulen; sehr kurze Einarbeitungszeiten.
- Zur Unterstützung und zur Einarbeitung kann auch die Teilnahme an unseren applikationsorientierten Seminaren die entscheidende Hilfe sein

Anwendungen:

- Videobearbeitung, Audioverarbeitung
- Bildverarbeitung
- anspruchsvolle digitale Signalverarbeitung
- IP Core basierte Systeme
- Datenübertragung und Netzwerktechnik
- Echtzeitberechnungen

Kapitel 2: Komponenten und Eigenschaften

Die Abbildung 2-1 zeigt das komplette AVT Spartan-3E Development Kit, welches folgende Komponenten und Eigenschaften beinhaltet:

Es stehen 2 FPGA als Bestückungsvarianten zur Auswahl:

1. XILINX Spartan-3E XC3S500E FPGA in einem 256 PIN Ball Grid

Array Gehäuse (XC3S500E-6FTG256)

- § 500.000 Systemgatter
- § 4.656 Slices (10.476 Logikzellen)
- § 360 kBit Block RAM
- § maximal 73 kBit Distributed RAM
- § 20 Hardware Multiplizierer
- § 4 x DCM (Digital Clock Manager)

2. XILINX Spartan-3E XC3S1200E FPGA in einem 256 PIN Ball Grid

Array Gehäuse (XC3S1200E-6FTG256)

- § 1.200.000 Systemgatter
- § 8.672 Slices (19.512 Logikzellen)
- § 504 kBit Block RAM
- § maximal 136 kBit Distributed RAM
- § 23 Hardware Multiplizierer
- § 8 x DCM (Digital Clock Manager)

• ATMEL 32 MBit SPI Flash Baustein (AT45DB321D) oder ähnlicher

- § minimal 100.000 Löschzyklen
- § 20 Jahre Datensicherheit bei 125 °C

• 1 x 128 MBit SDRAM der Firma Micron (MT48LC16M16A2FG)

- § organisiert 4 Megabit x 16 x 4 Bänke
- § voll synchrone Register-zu-Register Operationen
- § auch als 256 MBit möglich
- § es werden auch kompatible SDRAM Bausteine der Hersteller Promos, ESMT, Quimonda oder ähnliche verwendet

-
- **1 x 64 MBit SDRAM der Firma Micron (MT48LC2M32B2TG)**
 - § organisiert 512 Kilobit x 32 x 4 Bänke
 - § voll synchrone Register-zu-Register Operationen
 - § es werden auch kompatible SDRAM Bausteine der Hersteller Promos, ESMT, Quimonda oder ähnliche verwendet

 - JTAG Programmierport (BU1)
 - SPI Flash Programmierport (BU1)
 - 2 x 30-polige ZIF-Sockel mit nutzerdefinierbaren Ein- oder Ausgängen (BU3 & BU4)
 - 1 x 50-polige Buchse mit nutzerdefinierbaren Ein- oder Ausgängen (BU2)
 - eine Spannungsversorgung mit Eingangsspannungen von 5..36 V DC (Powerplatine)
 - Taktversorgung mit 96 MHz
 - Temperatursensor
 - Reset-Taster
 - DONE LED

Wichtige Benutzerhinweise

Die Versorgungsspannungen müssen immer polungsrichtig angeschlossen werden und dürfen niemals größer als die angegebenen Spannungswerte sein. Für Schäden am Development Kit durch unsachgemäße Handhabung bzw. falschem Anschluß von Spannungen besteht kein Garantieanspruch.

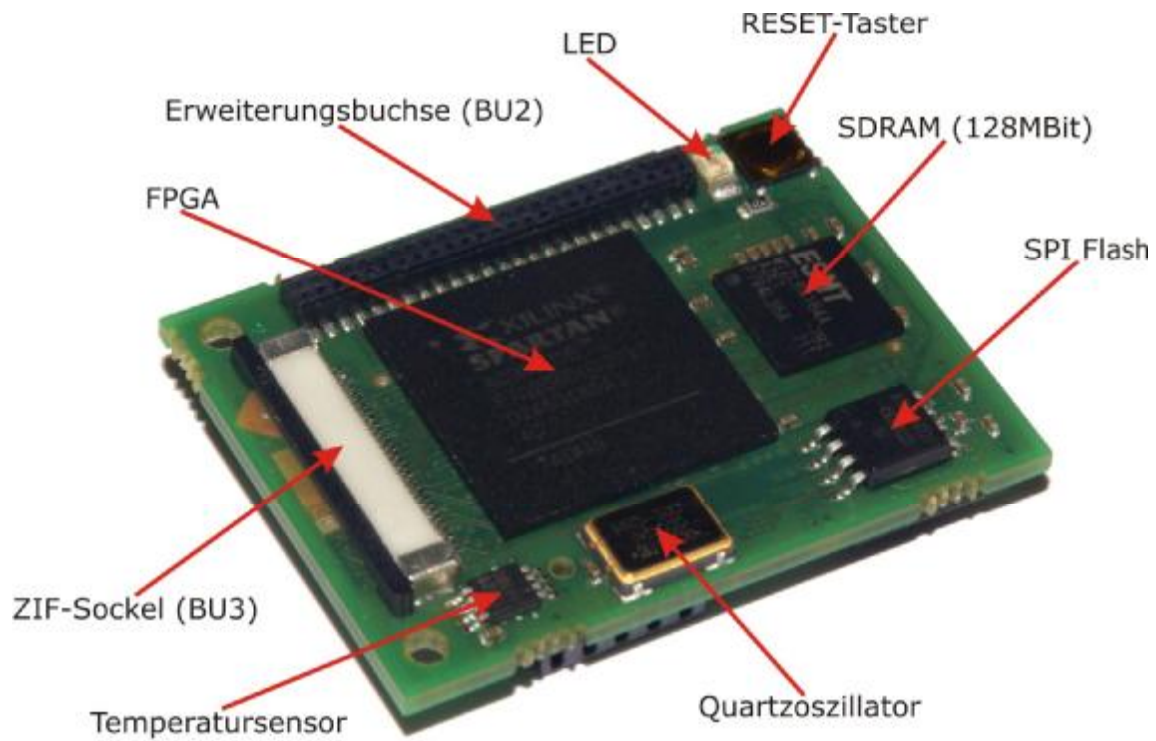


Abbildung 2-1: AVT Spartan-3E Development Kit (Vorderseite)

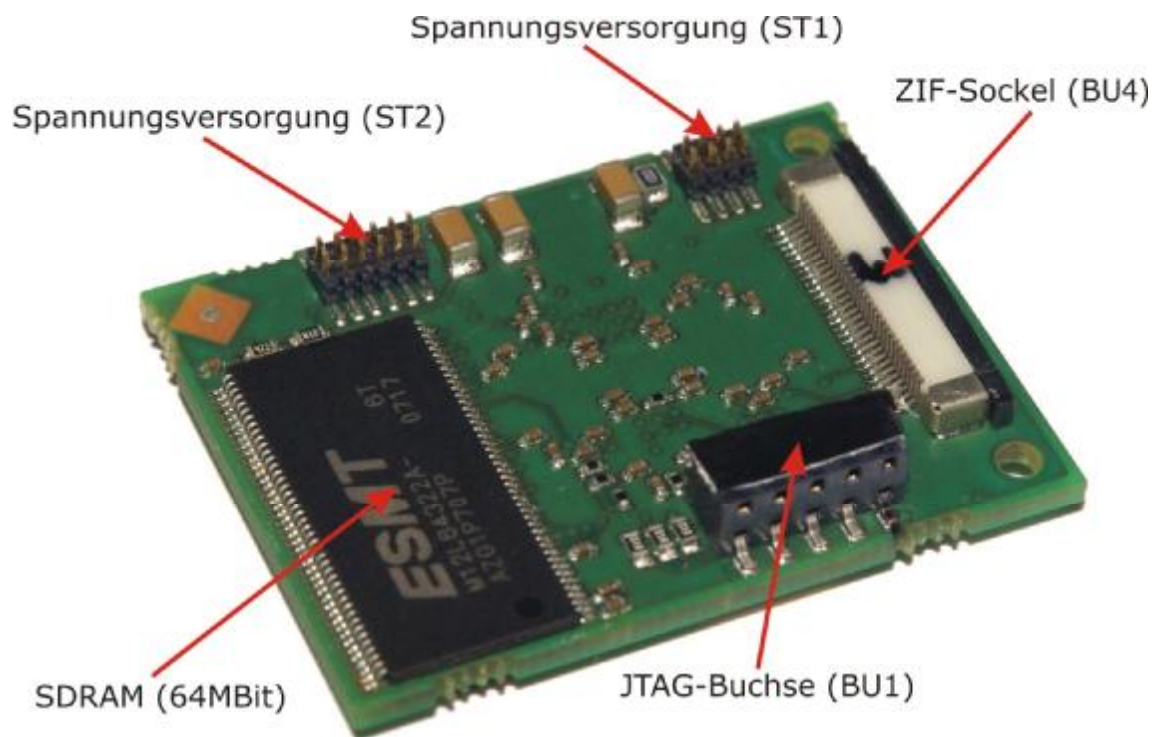


Abbildung 2-2: AVT Spartan-3E Development Kit (Rückseite)

Abbildung 2-2: FPGA PINout

Kapitel 3: 128 MBit SDRAM (U5)

Das AVT Spartan-3E Development Kit besitzt einen 128 MBit SDRAM der Hersteller Micron (MT48LC16M16A2FG), Promos, ESMT oder Quimonda. Dieser Schaltkreis befindet sich auf der Vorderseite (siehe Abbildung 2-1). Der Speicher ist in 4 Megabit x 16 bit x 4 Bänke organisiert. Die Daten-, Adreß- und Steuerleitungen sind direkt mit dem FPGA verbunden.

Das AVT Spartan-3E Development Kit kann auch mit einem größerem SDRAM der oben genannten Hersteller mit 256 Mbit auf der Vorderseite bestückt werden. Dies ist aber nur möglich wenn die Platine mit dem größeren Spartan-3E 1200 bestückt ist, da der PIN B10 beim Spartan-3E 500 nur ein INPUT (IP) ist.

Adreßleitungen SDRAM:

SDRAM PIN	Bezeichnung	FPGA PIN
H7	A00	L13
H8	A01	R15
J8	A02	R16
J7	A03	P16
J3	A04	P15
J2	A05	N15
H3	A06	N16
H2	A07	M16
H1	A08	L15
G3	A09	L14
H9	A10	N14
G2	A11	K16
G1	A12	B10 / IP

PIN B10 ist beim Spartan-3E 500 nur ein INPUT (IP). Aus diesem Grund sind alle 13 Adressleitungen nur beim größeren Spartan-3E 1200 nutzbar.

Datenleitungen zwischen SDRAM und FPGA:

SRAM PIN	Bezeichnung	FPGA PIN
A8	DQ00	F13
B9	DQ01	F14
B8	DQ02	F12
C9	DQ03	G14
C8	DQ04	G13
D9	DQ05	H12
D8	DQ06	H11
E9	DQ07	J13
E1	DQ08	K15
D2	DQ09	H14
D1	DQ10	J16
C2	DQ11	G16
C1	DQ12	H15

B2	DQ13	F15
B1	DQ14	G15
A2	DQ15	E16

Steuerleitungen zwischen SDRAM und FPGA:

SDRAM PIN	Bezeichnung	FPGA PIN
G7	BA0	K12
G8	BA1	L12
F7	CAS#	K13
F8	RAS#	K14
F9	WE#	J14
G9	CS#	GND
F1	UDQM	GND
E8	LDQM	GND
F2	CLK	R10
F3	CKE	+3,3V

Kapitel 4: 64 MBit SDRAM (U4)

Das AVT Spartan-3E Development Kit besitzt einen 64 MBit SDRAM der Hersteller Micron (MT48LC2M32B2TG), Promos, ESMT oder Quimonda. Dieser Schaltkreis befindet sich auf der Rückseite (siehe Abbildung 2-1). Der Speicher ist in 512 Kilobit x 32 bit x 4 Bänke organisiert. Die Daten-, Adreß- und Steuerleitungen sind direkt mit dem FPGA verbunden.

Adreßleitungen SDRAM:

SDRAM PIN	Bezeichnung	FPGA PIN
25	A00	P04
26	A01	P05
27	A02	L09
60	A03	T10
61	A04	R13
62	A05	T13
63	A06	P14
64	A07	P13
65	A08	P12
66	A09	P08
24	A10	M10

Datenleitungen zwischen SDRAM und FPGA:

SRAM PIN	Bezeichnung	FPGA PIN
02	DQ00	N08
04	DQ01	M08
05	DQ02	N09
07	DQ03	P10
08	DQ04	N10
10	DQ05	P09
11	DQ06	P11
13	DQ07	R11
74	DQ08	T08
76	DQ09	N07
77	DQ10	P07
79	DQ11	L08
80	DQ12	P06
82	DQ13	R06
83	DQ14	N06
85	DQ15	M06
31	DQ16	M14 / T12
33	DQ17	F08
34	DQ18	F09
36	DQ19	E08
37	DQ20	E09

39	DQ21	E10
40	DQ22	D10
42	DQ23	D08
45	DQ24	E04
47	DQ25	D06
48	DQ26	C06
50	DQ27	G05
51	DQ28	H06
53	DQ29	D07
54	DQ30	B04
56	DQ31	C04

PIN T12 und PIN T14 sind miteinander verbunden. PIN T12 ist beim Spartan-3E 500 nur ein INPUT. PIN M14 ist beim Spartan-3E 1200 nur ein INPUT.

Steuerleitungen zwischen SDRAM und FPGA:

SDRAM PIN	Bezeichnung	FPGA PIN
22	BA0	E13
23	BA1	E07
18	CAS#	D09
19	RAS#	E11
17	WE#	N12
20	CS#	GND
16	DQM0	GND
71	DQM1	GND
28	DQM2	GND
59	DQM3	GND
68	CLK	R10
67	CKE	+3,3V

Kapitel 5: ATMEL/EON SPI-FLASH (U3)

Das AVT Spartan-3E Development Kit besitzt einen 32 MBit SPI-Flash der Hersteller Atmel (AT45DB321C) oder EON (EN25P32). Dieser Schaltkreis befindet sich auf der Vorderseite der Platine (siehe Abbildung 2-1). Der Flash dient zum Ablegen des Bitstromes für den FPGA, welcher sofort nach dem Anlegen der Betriebsspannung in den FPGA geladen wird. Weiterhin kann der verbleibende Platz für Nutzerdaten verwendet werden.

ATMEL PIN	EON PIN	Bezeichnung	FPGA PIN
1	5	MOSI	N05
2	6	CCLK	R14
3	7	RST	T05
4	1	CSO_B	P03
5	3	WP	R04
6	8	+3,3 V	---
7	4	GND	---
8	2	DIN	M09

Die Leitungen WP und RST sind mit jeweils einem PullUp Widerstand zu VCC (+3,3 V) beschaltet.

Kapitel 6: Erweiterungsbuchse BU2

Auf der Oberseite des AVT Spartan-3E Development Kits (siehe Abbildung 2-1) befindet sich die 50-polige Erweiterungsbuchse BU2. Es wurde hier eine Buchse des Herstellers Samtec (CLM-125-02-G-D) verwendet. An diese Buchse kann die auch bei der AVT GmbH Ilmenau optional erhältliche Kommunikationsplatine angesteckt werden.

BU2 PIN	Bezeichnung	FPGA PIN
01	+5 V	---
02	+5 V	---
03	GND	---
04	GND	---
05	+3,3 V	---
06	+2,5 V	---
07	GND	---
08	GND	---
09	I/O	D1
10	I/O	C3
11	I/O	C1
12	I/O	C2
13	I/O	B1
14	I/O	B2
15	I/O	B3
16	I/O	E3
17	I/O	A4
18	I/O	F4
19	I/O	A5
20	I/O	C5
21	I/O	C7
22	I/O	A7
23	I/O	B7
24	I/O	C8
25	GND	---
26	GND	---
27	I/O	A9
28	I/O	A10
29	I/O	B11
30	I/O	C11
31	I/O	A12
32	I/O	D11
33	GND	---
34	CLK8 / IP	A8
35	I/O	A13
36	I/O	B13
37	I/O	A14
38	I/O	B14
39	I/O	C15
40	I/O	C16
41	I/O	D14
42	I/O	D15

43	+1,2 V	---
44	+1,2 V	---
45	GND	---
46	GND	---
47	+0,9...1,25 V	---
48	+3,3 V	---
49	+1,8...2,5 V	---
50	+1,8...2,5 V	---

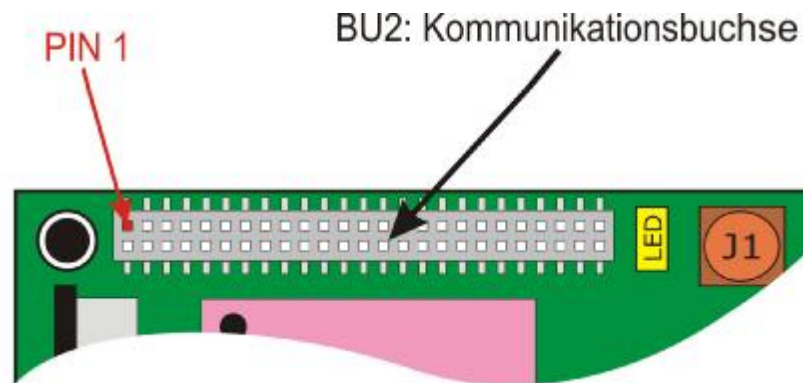


Abbildung 6-1: Kommunikationsbuchse

Die PINs der Spannungsversorgung ST1 und ST2 sind zur BU2 durchgeroutet. Damit kann die Spannungsversorgung der Kommunikationsplatine direkt von der Powerplatine mit erfolgen. Die FPGA PINs C15, C16, D14 und D15 sind dabei an BU2 und ST1 vorhanden. Diese PINs sind auf der Powerplatine mit einer RS422-Schnittstelle verbunden. Diese Beschaltung sollte bei der freien Verwendung der FPGA PINs unbedingt beachtet werden.

RS422- Schnittstelle auf der Powerplatine:

RS422 PIN	Bezeichnung	FPGA PIN
R	RS422 R	C15
D	RS422 D	C16
---	---	D14
---	---	D15

Die FPGA PINs D14 und D15 sind auf der Powerplatine nicht benutzt.

Kapitel 7: ZIF-Sockel BU3 (Oberseite)

Auf der Oberseite des AVT Spartan-3E Development Kits (siehe Abbildung 2-1) befindet sich der 30-polige ZIF-Erweiterungssockel BU3. Es wurde hier ein Standard ZIF-Sockel des Herstellers Samtec (ZF5-30-01-T-WT) verwendet. An diesen Sockel kann eine auch bei der AVT GmbH Ilmenau zusätzlich erhältliche CMOS Imagesensorplatine mit 3 oder 5 Megapixeln angeschlossen werden. Weiterhin können diese Anschlüsse auch für eigene Erweiterungsplatinen verwendet werden.

BU3 PIN	Bezeichnung	Art	FPGA PIN
01	+5 V	---	---
02	GND	---	---
03	+3,3 V	---	---
04	GND	---	---
05	TRIGGER	I/O	E1
06	GSHT_STROBE	IP	D2
07	GND	---	---
08	SDA	I/O	F3
09	SCLK	I/O	G4
10	GND	---	---
11	NC_D00	IP	A3
12	GND	---	---
13	STROBE_D01	IP	D5
14	D00_D02	IP	E6
15	D01_D03	IP	F2
16	D02_D04	IP	G1
17	D03_D05	IP	H1
18	D04_D06	IP	J6
19	D05_D07	IP	K4
20	D06_D08	IP	M3
21	D07_D09	IP	N3
22	D08_D10	IP	R3
23	D09_D11	IP	R7
24	GND	---	---
25	FRAME	IP	T2
26	LINE	IP	T3
27	GND	---	---
28	PIXCLK	IP	T7
29	GND	---	---
30	MCLK	I/O	R1

I/O = bidirektional; IP = Input

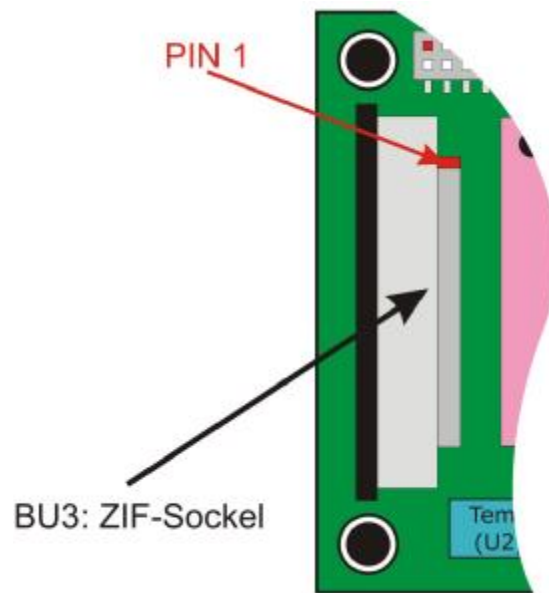


Abbildung 7-1: ZIF-Sockel Oberseite

Kapitel 8: ZIF-Sockel BU4 (Unterseite)

Auf der Unterseite des AVT Spartan-3E Development Kits (siehe Abbildung 2-2) befindet sich der 30-polige ZIF-Erweiterungssockel BU3. Es wurde hier ein Standard ZIF-Sockel des Herstellers Samtec (ZF5-30-01-T-WT) verwendet. An diesen Sockel kann eine auch bei der AVT GmbH Ilmenau zusätzlich erhältliche VGA-Ausgabeplatine angeschlossen werden. Weiterhin können diese Anschlüsse auch für eigene Erweiterungsplatinen verwendet werden.

BU4 PIN	Bezeichnung	FPGA PIN
01	I/O	R2
02	I/O	P2
03	I/O	P1
04	I/O	M4
05	IP	M7 / N2
06	I/O	L5
07	I/O	M1
08	I/O	N1
09	I/O	L4
10	I/O	L3
11	I/O	K5
12	I/O	L2
13	I/O	K3
14	I/O	K1
15	I/O	K2
16	I/O	J5
17	I/O	J4
18	I/O	J1
19	I/O	J2
20	I/O	J3
21	I/O	H3
22	I/O	H4
23	I/O	H5
24	I/O	G2
25	I/O	G3
26	IP	B6 / F5
27	GND	---
28	+3,3 V	---
29	GND	---
30	+5 V	---

I/O = bidirektional; IP = Input

PIN M7 und PIN N2 sind miteinander verbunden. PIN M7 bei Spartan-3E 500 nur INPUT. PIN N2 bei Spartan-3E 1200 nur INPUT.

PIN B6 und PIN F5 sind miteinander verbunden. PIN B6 bei Spartan-3E 500 nur INPUT. PIN F5 bei Spartan-3E 1200 nur INPUT.

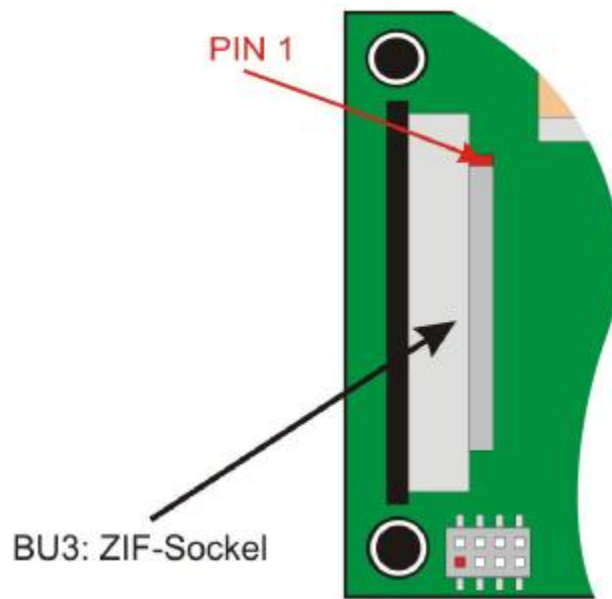


Abbildung 8-1: ZIF-Sockel Unterseite

Kapitel 9: JTAG Programmieranschluß

Zum Übertragen der kompilierten Bitfiles in den FPGA ist auf dem AVT Spartan-3E Development Kit ein JTAG Programmieranschluß (BU1) vorhanden. Dieser wird mit dem optional erhältlichen Programmiergerät mit dem PC verbunden. Mit dem in der XILINX ISE enthaltenen Programmierwerkzeug IMPACT kann das fertige Bitfile in den FPGA übertragen werden. Nach erfolgreicher Übertragung wird das Bitfile sofort ausgeführt.

Belegung der JTAG-Stecker BU1:

PIN an BU1	Bezeichnung	FPGA PIN
01	VAUX / +3,3V	---
02	GND	---
03	TMS	B15
04	---	---
05	TDO	C14
06	---	---
07	TDI	A02
08	---	---
09	TCK	A15
10	---	---

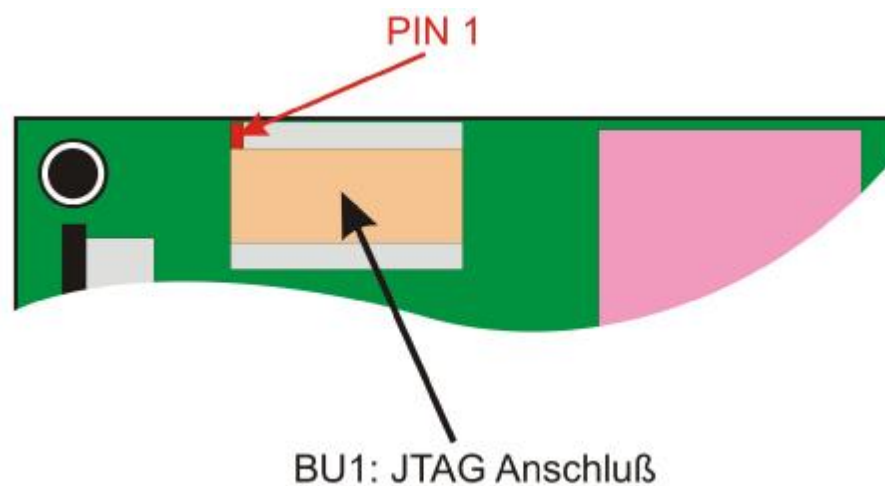


Abbildung 9-1: JTAG Programmieranschluß

10	8	6	4	2
9	7	5	3	1

Abbildung 9-2: Buchse 1 Pinverteilung

Kapitel 10: Temperatursensor

Zur Überwachung der Betriebstemperatur des AVT Spartan-3E Development Kits ist auf der Platine ein Temperatursensor (DS18B20) der Firma Dallas Semiconductor angebracht. Dieser Sensor befindet sich auf der Vorderseite der Platine. Die Verbindung zum FPGA wird durch eine 1-Draht-Schnittstelle hergestellt. Jeder dieser Temperatursensoren besitzt eine eindeutige Seriennummer.

Verbindung zwischen Temperatursensor und FPGA:

Temperatursensor PIN	Bezeichnung	FPGA PIN
1	DQ	T04

Kapitel 11: Taktquelle

Zur Versorgung des AVT Spartan-3E Development Kits mit dem 96 MHz Systemtakt wird auf der Platine ein hochwertiger Quarzoszillator HXO-36 der Firma HOSONIC eingesetzt.

Taktsignale zum FPGA:

PIN Nummer	Bezeichnung
FPGA T09	GCLK 0
FPGA B08	GCLK 9

Kapitel 12: Spannungsversorgung

Die Spannungsversorgung des AVT Spartan-3E Development Kits erfolgt über die Stecker ST1 und ST2 mit Hilfe der Powerplatine. Die Spannungsversorgung kann alternativ auch über andere geeignete Spannungsquellen erfolgen. Es dürfen ausschließlich geregelte Gleichspannungen verwendet. Die Leistungsaufnahme des AVT Spartan-3E Development Kits liegt bei 2 W bis 5 W.

Es werden folgende Spannungen benötigt (max. zulässige Toleranzen):

- + 5 V
- + 3,3 V (3,0 ... 3,45 V)
- + 2,5 V (2,375 ... 2,625 V)
- + 1,2 V (1,14 ... 1,26 V)

Diese Spannungen werden alle von der Powerplatine bereitgestellt.

Die Powerplatine wird einfach an die beiden Stecker ST1 und ST2 angesteckt und stellt diese Spannungen bereit. Sie selbst benötigt nur eine Eingangsgleichspannung, die zwischen 5...36 (nominell 12V) liegen kann. Dies vereinfacht die Spannungsversorgung des AVT Spartan-3E Development Kits erheblich. Zusätzlich enthält die Powerplatine eine RS422 Schnittstelle (Belegung siehe Kapitel 6)

Spannungsversorgungsstecker ST1:

PIN Nummer	Bezeichnung
01	+5,0 V
02	+5,0 V
03	GND
04	GND
05	+3,3 V
06	+2,5 V
07	GND
08	GND

Spannungsversorgungsstecker ST2:

PIN Nummer	Bezeichnung	RS422
01	FPGA C15	R
02	FPGA C16	D
03	FPGA D14	---
04	FPGA D15	---
05	+1,2 V	---
06	+1,2 V	---
07	GND	---
08	GND	---
09	+0,9...1,25 V	---
10	+3,3 V	---
11	+1,8...2,5 V	---
12	+1,8...2,5 V	---

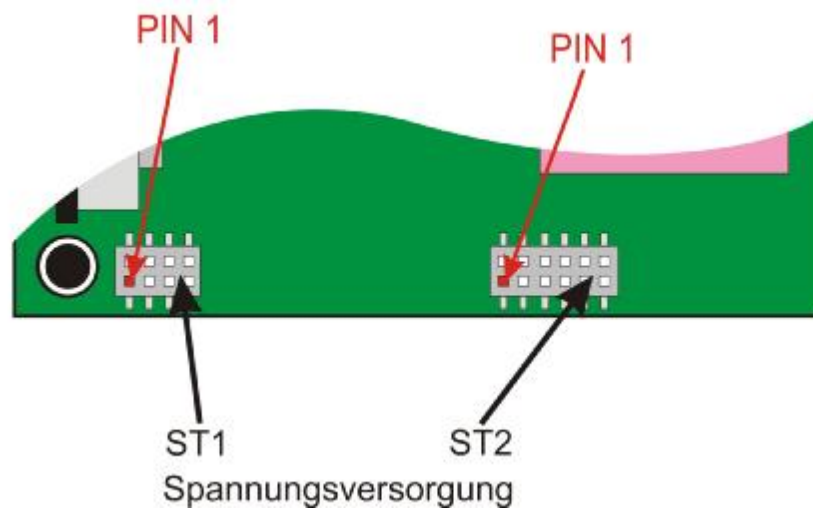







Abbildung 12-1: Spannungsversorgungsstecker

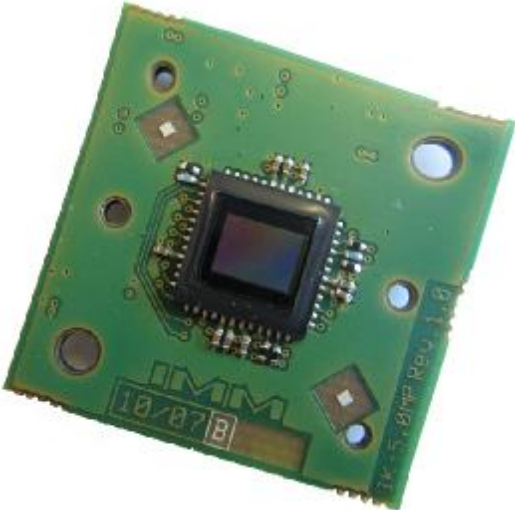
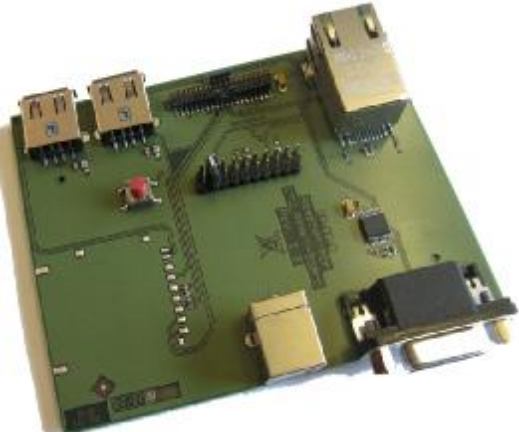
Anhang A: Referenzmaterial für verwendete Komponenten

Baustein	Hersteller	Teilenummer / Datenblatt
FPGA	XILINX	XC3S500E-FTG256 http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf
Flash	ATMEL / EON	AT45DB321 http://www.atmel.com/dyn/resources/prod_documents/doc1121.pdf EN25P32 http://www.eonsdi.com/pdf/EN25P32.pdf
SRDAM 1	Micron / Promos / ESMT	
SDRAM 2	Micron / Promos / ESMT	
Temperatur	Dallas Semiconductor	DS18B20U http://pdfserv.maxim-ic.com/en/ds/DS18B20.pdf
Quarz	Hosonic Electronic	HXO-36 http://www.hosonic.com/pdf/frequency/f31.pdf

Anhang B: Optional erhältliches Zubehör

Bezeichnung	Beschreibung	verfügbar
AVT JTAG-P	JTAG Programmierkabel für den 25-poligen Parallelanschluß am PC 	01/07
AVT JTAG-U	JTAG Programmierkabel für den USB Anschluß am PC 	X
AVT VGA	VGA Ausgabeplatine zum Anschluß an ZIF-Sockel (BU4) 	01/08

<p>AVT ATMEL-KOMM</p>	<p>Platine mit ATMEL CPU zur Bereitstellung von Kommunikationsschnittstellen (USB, Ethernet, RS232,...) zum Anschluß an Buchsenleiste (BU2)</p>  <p>A green printed circuit board (PCB) populated with several integrated circuits. A large black chip with 'ATMEL' branding is prominent in the center. The board features a dense array of pins along one edge, likely for a connector. Other components include smaller chips and surface-mount components.</p>	<p>02/08</p>
<p>AVT 3,1 MPx</p>	<p>3 MegaPixel CMOS Imagesensor-Platine zum Anschluß an ZIF-Sockel (BU3)</p>  <p>A green PCB featuring a large, square CMOS image sensor chip mounted in the center. The sensor is connected to the board via a ZIF (Zero Insertion Force) socket. The board has several circular mounting holes and some surface-mount components. Text on the board includes 'EK-3-1MP' and '39/87 B'.</p>	<p>09/07</p>

<p>AVT 5 MPx</p>	<p>5 MegaPixel CMOS Imagesensor-Platine zum Anschluß an ZIF-Sockel (BU3)</p> 	<p>10/07</p>
<p>AVT 10 MPx</p>	<p>10 MegaPixel CMOS Imagesensor-Platine zum Anschluß an ZIF-Sockel (BU3)</p>	<p>12/08</p>
<p>AVT KOMM-AD</p>	<p>Adapterplatine zur Bereitstellung der Stecker und Buchsen für die Kommunikationsschnittstellen (anschließbar an AVT ATMEL-KOMM)</p> 	<p>03/08</p>

<p>AVT AD1</p>	<p>Adapterplatine von 1mm CLM-Buchse (BU2) auf 1,27 mm FTSH-Stecker bzw. für direkte Lötverbindungen (durchkontaktiert) ohne FTSH-Stecker</p> 	<p>04/08</p>
<p>AVT CF</p>	<p>Platine mit CF-Card Sockel zur Datenspeicherung auf Compactflash-Karte (anschließbar am ZIF-Sockel BU4)</p>	<p>08/08</p>